

⑫ 公開特許公報(A) 平4-133472

⑤ Int. Cl.⁵H 01 L 29/44
21/306
21/3205
29/784

識別記号

B 7738-4M
Z 7342-4M

庁内整理番号

⑬ 公開 平成4年(1992)5月7日

7353-4M H 01 L 21/88
8422-4M 29/78 3 0 1 A
B
審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 化合物半導体装置及びその製造方法

⑮ 特 願 平2-254310

⑯ 出 願 平2(1990)9月26日

⑰ 発 明 者 石 村 浩 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑱ 発 明 者 佐々木 文雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

化合物半導体装置及びその製造方法

2. 特許請求の範囲

(1) 化合物半導体基板の一主面上に形成された動作層と、この動作層上に設けられたゲート電極と、このゲート電極を挟んで前記動作層上で対向するソース電極及びドレイン電極と、前記化合物半導体基板の裏面に形成された導体層と、前記ソース又はドレイン電極と電気的に接続されかつバイアホールを通して前記裏面導体層と電気的に接続されたソースパッド部又はドレインパッド部と、前記化合物半導体基板と前記ソースパッド部又はドレインパッド部との間に配置され、前記化合物半導体基板を蝕刻するエッチング手段に耐性を有する薄膜層とより成る化合物半導体装置。

(以下空白)

(2) 化合物半導体基板の一主面上に、ゲート電極と、このゲート電極を挟んで対向するソース電極及びドレイン電極とを形成する工程と、前記半導体基板を蝕刻するエッチング手段に耐性を有する薄膜を形成する工程と、前記薄膜上及び前記半導体基板上に引出して設けられ、前記ソースもしくはドレイン電極と電気的に接続された各パッド部を形成する工程と、前記半導体基板の裏面側から該半導体基板をエッチングし、前記薄膜層に到達する貫通孔を形成する工程と、前記薄膜層をエッチングし前記ソース又はドレインパッド部に到達するバイアホールを形成する工程と、前記バイアホールを介して前記パッド部と電気的に接続された裏面導体層を形成する工程とを含むことを特徴とする化合物半導体装置の製造方法。

(3) 化合物半導体基板がInPであることを特徴とする請求項(2)記載の化合物半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は化合物半導体装置及びその製造方法に関し、特にInPを用いた電界効果トランジスタ及びその製造方法に適用される。

(従来の技術)

InPは、現在マイクロ波半導体素子の主流を占めているGaAsに比べて電子飽和速度が大きく、また熱伝導率が高いことから、GaAsを上回る高周波・高出力動作が得られる電力マイクロ波半導体素子用材料として注目を集めている。

電力用電界効果トランジスタ(FET)の高出力化、高周波化を図る上で重要な技術の一つに、バイアホール形成技術がある。ここでバイアホールとは、ソース電極、ドレイン電極及びゲート電極を備えるFETが、例えばInP基板上に1個或いは複数個形成されている場合に、この基板裏面より、基板表面上に設けられたソース(或いはドレイン)電極、或いはソース電極(又はドレイ

ン電極)より延長して設けられ、このソース(或いはドレイン)電極と電気的に接続されたソース(或いはドレイン)パッド電極部に達する貫通孔を設け、各ソース(ドレイン)電極を前記貫通孔を介して基板裏面に設けられた裏面金属層と電気的に接続するものを指す。ソース電極(或いはソースパッド電極)をバイアホールを介して裏面金属層と接続することにより、各ソースパッド電極にボンディングを行うことなく、各ソース電極同士を電気的に接続しかつ接地でき、ボンディング線による接地寄生インダクタンスを低減させることができるため、高周波動作が可能となる。

このバイアホール形成技術は、InP FETの高出力化、高周波化を図る上で必要不可欠であるがまだInP FETで形成に成功した例は報告されていない。これはInP基板にバイアホール貫通孔を形成する際に以下のような問題があるためである。第3図は従来のバイアホール及びその形成方法を説明するための断面図である。第3図において1はInP半導体基板、2はフォトレ

ジスト等のエッチングマスク、3はこのマスクに設けられた開口部、4Sはソース電極(又はソースパッド電極)4Dはドレイン電極、4Gはゲート電極、5は貫通孔である。

第3図に示す貫通孔5を形成するには、反応性イオンエッチング等のいわゆるドライエッチング法、或いは溶液によるウェットエッチング法を用いる。しかしながら、一般にInPをドライエッチング法でエッチングする場合には、InPに対するエッチング速度が $1\mu\text{m}/\text{min}$ 以下と小さく、加えてエッチングに対して十分なマスク作用がある適当な物質がない。これに対し、ウェットエッチング法ではInPのエッチング速度が大きいエッチング溶液として、 $\text{HCl}/\text{H}_2\text{PO}_4$ 混液、 $\text{K}_2\text{Cr}_2\text{O}_7/\text{HBr}/\text{CH}_3\text{COOH}$ 混液、 $\text{Br}_2/\text{HBr}/\text{H}_2\text{O}$ 混液等が知られている。しかし、 $\text{HCl}/\text{H}_2\text{PO}_4$ 混液では、通常マスクとして用いられるポジ系のフォトレジストが耐性を示さないため、金属マスク等を用いなければならず工程が煩雑になる。その上、エッチング形状に関しては垂直性が悪い(第3図

に示される θ が $20\sim 30^\circ$)という問題がある。

また、 $\text{K}_2\text{Cr}_2\text{O}_7/\text{HBr}/\text{CH}_3\text{COOH}$ 混液や $\text{Br}_2/\text{HBr}/\text{H}_2\text{O}$ 混液では組成によってはフォトレジストが耐性を示し、かつ垂直性も比較的良好(第3図に示される θ が $54\sim 55^\circ$)なエッチングが行なえる。しかし、これらのエッチング液は、AuGe等Auを主成分とする金属で形成されるソース(又はドレイン)電極、又はソースパッド電極部(ドレインパッド電極部)を容易に溶解させる。このため、裏面からInP基板をエッチングする際に、基板を少しでもオーバーエッチングするとAuGe製の電極が消失してしまうという問題があり、第3図に示すような貫通孔を形成する妨げとなっていた。

(発明が解決しようとする課題)

以上述べたように、InP基板にバイアホール形成用貫通孔を基板裏面からエッチング形成することは、従来知られている方法では困難であり、これがInP FETの高出力化・高周波化を図る上で大きな障害となっていた。

本発明は、上記の問題点を解消するためになされたもので、バイアホール構造を備えた良好な特性のInP FET、及びその製造方法を提供することを目的としている。

〔発明の構成〕

（課題を解決するための手段）

上記目的を達成するために、本発明の化合物半導体装置では、化合物半導体基板の一主面上に形成された動作層と、この動作層上に設けられたゲート電極と、このゲート電極を挟んで前記動作層上で対向するソース電極及びドレイン電極と、前記化合物半導体基板の裏面に形成された導体層と、前記ソース又はドレイン電極と電気的に接続されかつバイアホールを通して前記裏面導体層と電気的に接続されたソースパッド部又はドレインパッド部と、前記化合物半導体基板と前記ソースパッド部又はドレインパッド部との間に配置され、前記化合物半導体基板を蝕刻するエッチング手段に耐蝕性を有する薄膜層とより成ることを特徴とする。

ドレイン）パッド電極部と前記化合物半導体層との間に介在させるため、貫通孔形成工程において、InP基板上に形成されたソース（又はドレイン）パッド電極を腐食又は溶解させることなく、良好な形状のバイアホールを基板裏面から形成することが可能となり、バイアホール構造を有する高出力InP FETを提供することができるようになる。

（実施例）

以下、本発明における第1の発明の一実施例について、図面を参照して説明する。

第1図は第1の発明の一実施例の化合物半導体装置（InP絶縁ゲート型電界効果トランジスタ、以下InP MISFETと記す）の断面図である。第1図において、10は半絶縁性InP基板で、その一方の主面上にクロライドVPE（Vapor Phase Epitaxial）法によりバッファ層11、n型動作層12が順次形成されている。前記n型動作層12上にはAuGeで離間して形成されたソース電極13S、ドレイン電極13D

また、その製造方法は、この化合物半導体基板の一主面上にゲート電極と、このゲート電極を挟んで対向するソース電極及びドレイン電極とを形成する工程と、前記化合物半導体基板を蝕刻するエッチング手段に耐蝕性を有する薄膜を形成する工程と、前記薄膜上及び前記化合物半導体基板上に引出して設けられ、前記ソース又はドレイン電極と電気的に接続された各パッド部を形成する工程と、前記化合物半導体基板を裏面側からエッチングし、前記薄膜層に到達する貫通孔を形成する工程と、前記薄膜層をエッチングし前記ソース又はドレインパッド部に到達するバイアホールを形成する工程と、前記バイアホールを介して前記パッド部と電気的に接続された裏面導体層を形成する工程とを含むことを特徴とする。

また、化合物半導体基板がInPであることを実施態様とする。

（作用）

本発明によれば、InP基板を蝕刻するエッチング手段に耐蝕性を有する薄膜をソース（又は

と、これら両電極に挟まれた領域にはゲート絶縁膜13I、及びこのゲート絶縁膜上にゲート電極13Gとが設けられている。ソース電極13Sからはソース電極13Sと電気的に接続されたソースパッド電極14が引出して形成される。このパッド電極14は、InP基板を蝕刻するエッチング手段に耐蝕性を示す薄膜15（例えばSiO₂）上をバイアホール16まで引出されており、このバイアホール16を通して裏面金属層17と電気的に接続されている。

次に、第2の発明のInP MISFETの製造方法の一実施例について、工程順に示す断面図の第2図（a）～（d）によって説明する。

まず、第2図（a）に示したように、半絶縁性InP基板10の一方の主面上にクロライドVPE法によりバッファ層11、n型動作層12を順次形成する。メサエッチングにより素子間分離を行なった後、n型動作層12上にAuGeによりソース電極13S、ドレイン電極13Dを形成し、これら両電極に挟まれたn型動作層12の表面に絶

緑膜13Iを形成し、このゲート絶縁膜上にゲート電極13Gを形成する。次に、CVD (Chemical Vapor Deposition) 法により所定の領域にSiO₂膜15を200～500nm堆積した後、ソース電極13Sに電気的に接続されAu/Pt/Ti積層構造からなるソースパッド電極14をSiO₂膜15上に形成する(第2図(b))。なお、以上の工程はすべて周知の方法により容易に行えるものである。次にこのInP基板10の主面の裏面をラッピング及びポリッシングすることにより厚さ約50μmに薄層化し、裏面にフォトレジスト層18を塗布後、基板表面のソースパッド電極14の所定の位置の直下に位置するように、フォトレジスト層18に開孔19を形成する。次いで、エッチング液としてBr₂/HBr/H₂O混液を用いて3、5分間エッチングを施し、第2図(c)に示したように、SiO₂膜15に達する開孔16aを形成する。このエッチングの際多少のオーバーエッチングを行ってもエッチングはSiO₂膜15で停止し、ソースパッド電極14は腐食され

ない。

次に、前記InP基板のエッチングに引き続き、フッ化アンモニウム溶液によりSiO₂膜15をエッチングし、SiO₂膜15に開孔16bを形成してバイアホール16が貫通する(第2図(d))。この際、AuGeはフッ化アンモニウムに耐性を有するため少し位のオーバーエッチングでは腐食されることはない。次に、エッチングマスクとして使用したフォトレジスト18を除去した後、裏側からAuメッキを施しバイアホール16を通してソースパッド電極14と裏面のAuを電気的に接続して第1図に示すようなバイアホール構造を備えたInP MISFETが完成する。

なお、上記の薄膜15は、SiO₂に限らず、例えばSiNx等の絶縁膜であってもよい。ここで、本発明の効果は、薄膜15がInP基板を蝕刻するエッチング手段に耐蝕性を示す導電性の薄膜においても得られる。しかしながらInPの場合、GaAs等と比べると金属/半導体界面の密着力が一般的に弱い上、比較的密着力が強いNi、Ti、Al又は

Pdといった金属は、バイアホールを形成する際に使用可能なエッチング溶液、例えばBr₂/HBr/H₂O混液に腐食されやすく、薄膜15としては適当ではない。また、仮に適当な導電性(金属)膜がエッチング手段に耐蝕性を示したとしても、この場合薄膜/InP界面においてエッチング液との電気化学的反応を起しやすくなり、界面異常エッチング等好ましくない結果を招くおそれ強い。このため薄膜15としては実施例のような絶縁膜が適している。

また、上述した各電極層は上記実施例に限定されることなく、例えば、ソース又はドレイン電極に関していえばn型動作層12にオーム性接触を形成する金属、さらに、これらの金属を最下層とした多層構造であってもよい。また、上記実施例においては本発明をInP MISFETに適用した場合について説明したが、本発明の効果はこのFETに限定されるものではなく、例えばInP接合型電界効果トランジスタであってもよいし、さらにはInP以外の化合物半導体基板で

あってもよいことは上記の説明より明らかである。

[発明の効果]

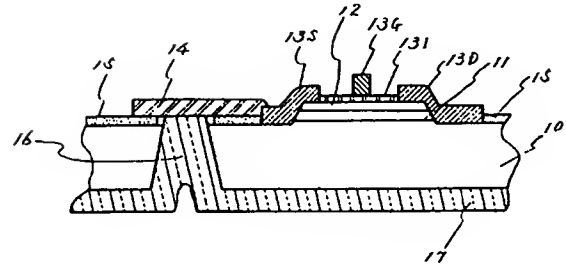
上述したように本発明によれば、化合物半導体、特にInP半導体基板の裏面から表面に達するバイアホールを形成するにあたり、半導体基板表面に設けられた電極金属層を溶解又は腐食させることなく、良好な形状を有するバイアホール構造を備えたトランジスタ、特にInP FET及びその製造方法を提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す絶縁ゲート型電界効果トランジスタの断面図、第2図(a)～(d)はこの発明の一実施例の絶縁ゲート型電界効果トランジスタの製造方法を工程順に示す、いずれも断面図、第3図は従来のバイアホールを説明するための断面図である。

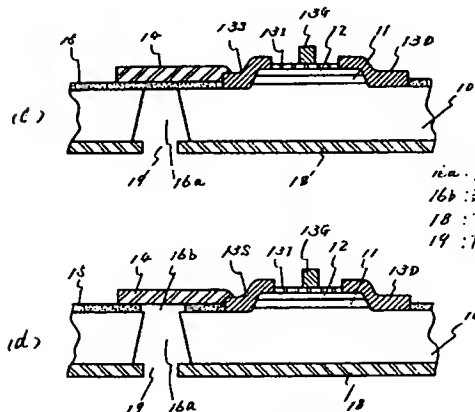
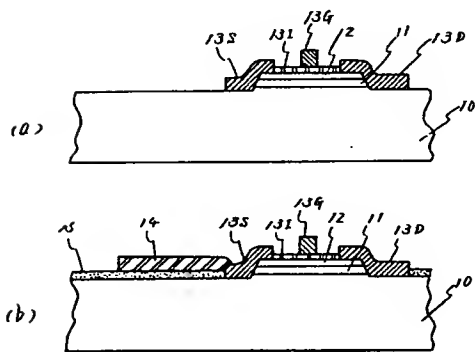
1. ----- InP半導体基板
2. ----- フォトレジスト等の
エッチングマスク
3. ----- マスクの開孔部

- 4S.13S. ソース電極
 4D.13D. ドレイン電極
 4G.13G. ゲート電極
 5. 貫通孔
 10. 半絶縁性InP基板
 11. バッファ層
 12. n型動作層
 131. ゲート絶縁膜
 14. ソースパッド電極
 15. 薄膜
 16a. InPの開孔
 16b. 薄膜15の開孔
 16. バイアホール
 17. 裏面金属層
 18. フォトリソスト
 19. フォトリソストの開孔



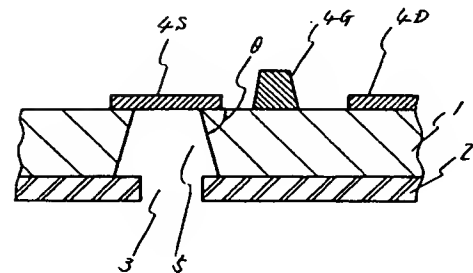
- 10 : 半絶縁性InP基板
 11 : バッファ層
 12 : n型動作層
 131 : ゲート絶縁膜
 13G : ゲート電極
 13S : ソース電極
 13D : ドレイン電極
 14 : ソースパッド電極
 15 : 薄膜
 16 : バイアホール
 17 : 裏面金属層

第1図



- 16a : InPの開孔
 16b : 薄膜15の開孔
 18 : フォトリソスト
 19 : フォトリソストの開孔

第2図



- 1 : InP半導体基板
 2 : フォトリソスト層のエッチマスク
 3 : マスクの開孔部
 4G : ゲート電極
 4S : ソース電極
 4D : ドレイン電極
 5 : 貫通孔

第3図